

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 1 0 7 2 1

(43) 公開日 平成 7 年 (1995) 4 月 25 日

(51) Int. Cl. ⁶

G05F 3/24

H01L 21/8238

27/092

識別記号

庁内整理番号

Z 4237-5H

F I

技術表示箇所

9170-4M

H01L 27/08

321 M

審査請求 未請求 請求項の数 8 O L (全 22 頁)

(21) 出願番号 特願平 6 - 5 9 0 8 0

(22) 出願日 平成 6 年 (1994) 3 月 29 日

(31) 優先権主張番号 特願平 5 - 2 0 3 4 6 2

(32) 優先日 平 5 (1993) 8 月 17 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 土田 一人

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社北伊丹製作所内

(72) 発明者 諏訪 尚子

大阪市北区堂島二丁目 2 番 2 号 三菱電機
株式会社関西支社内

(74) 代理人 弁理士 高田 守

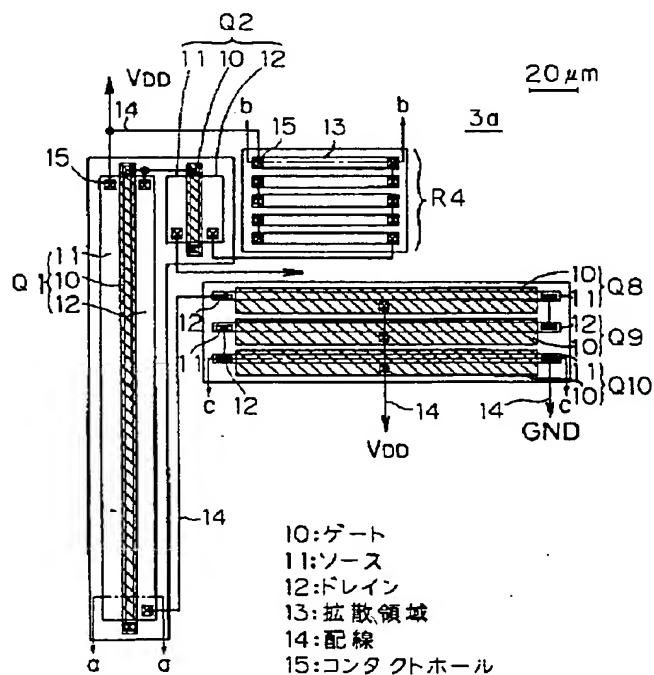
(54) 【発明の名称】 起動回路

(57) 【要約】

【目的】 CMOS で構成された起動回路のレイアウト面積を小さくすることを目的とする。

【構成】 起動回路 3 a の PMOS Q1 のドレインと接地電位点 2 との間に複数の NMOS Q8 ~ Q10 を直列に接続する。NMOS Q8 ~ Q10 のゲートは全て電源電位点 1 に接続する。そして、NMOS Q8 ~ Q10 の電圧降下によって、バイアス供給回路 4 に電流を供給するための PMOS Q2 のゲート電位を発生する。

【効果】 占有面積の小さな複数の MOS トランジスタである NMOS Q8 ~ Q10 の電圧降下を用いることによって、レイアウト面積を小さくすることができる。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路において、前記第 1 あるいは第 2 の電源電位に接続されたゲート、前記第 2 の電源電位に接続されたドレインあるいはソースを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な少なくとも一つの第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは第 2 の電源電位と前記第 1 の絶縁ゲート型トランジスタとの間で、前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生する、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なダイオード手段と、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持ち、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な電圧降下手段と、前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記ダイオード手段の前記カソードに接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行う、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なスイッチング手段とを備える、起動回路。

【請求項 2】 第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路において、前記第 1 あるいは第 2 の電源電位に接続されたゲート、前記第 2 の電源電位に接続されたドレインあるいはソースを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な少なくとも一つの第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは第 2 の電源電位と前記第 1 の絶縁ゲート型トランジスタとの間で、前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生する、前記第 1 導

2

電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なダイオード手段と、

前記ダイオード手段の前記カソードに接続された入力端、及び出力端を持ち、前記入力端の電位が所定の電位よりも前記第 2 の電源電位に近ければ前記第 1 の電源電位を出力し、前記入力端の電位が前記所定の電位よりも前記第 1 の電源電位に近ければ前記第 2 の電源電位を出力する、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なインバータと、

前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持ち、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な電圧降下手段と、

前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記インバータの前記出力端に接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行う、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なスイッチング手段とを備える、起動回路。

【請求項 3】 前記ダイオード手段は、前記第 1 あるいは第 2 の電源電位に接続されたソース、並びに前記スイッチング手段の前記制御電極に接続されたゲート及びドレインを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な第 2 の絶縁ゲート型トランジスタを含む、請求項 1 または請求項 2 記載の起動回路。

【請求項 4】 前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタは、CMOS トランジスタを含み、前記電圧降下手段は、

前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有するとともに、前記一方端と前記他方端との間に所定の抵抗値を持ち、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な拡散抵抗を含む、請求項 1 または請求項 2 記載の起動回路。

【請求項 5】 第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路において、

前記第 1 あるいは前記第 2 の電源電位に共通に接続されているゲート、ソース及びドレインを有するとともに、前記第 1 の電源電位と前記第 2 の電源電位との間に直列

3

に接続され、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な複数の第 1 の絶縁ゲート型トランジスタと、

前記第 1 あるいは前記第 2 の電源電位と複数の前記第 1 の絶縁ゲート型トランジスタとの間で、複数の前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生するダイオード手段と、

前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持つ、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための電圧降下手段と、

前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記ダイオード手段の前記カソードに接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行うスイッチング手段とを備える、起動回路。

【請求項 6】 第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路において、

前記第 1 あるいは前記第 2 の電源電位に共通に接続されているゲート、ソース及びドレインを有し、前記第 1 の電源電位と前記第 2 の電源電位との間に直列に接続された複数の第 1 の絶縁ゲート型トランジスタと、

前記第 1 あるいは前記第 2 の電源電位と複数の前記第 1 の絶縁ゲート型トランジスタとの間で、複数の前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生するダイオード手段と、

前記ダイオード手段の前記カソードに接続された入力端、及び出力端を持ち、前記入力端の電位が所定の電位よりも前記第 2 の電源電位に近ければ前記第 1 の電源電位を出力し、前記入力端の電位が前記所定の電位よりも前記第 1 の電源電位に近ければ前記第 2 の電源電位を出力するインバータと、

前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持つ、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための電圧降下手段と、

前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記インバータの前記出力端に接続された制御端子を有し、前記制

4

御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行うスイッチング手段とを備える、起動回路。

【請求項 7】 第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路において、

前記第 1 の電源電位に接続された一方端、及び他方端を有する電圧降下手段と、前記電圧降下手段の前記他方端に接続された一方端、前記第 2 の電源電位に接続された他方端及び前記被起動回路に接続された制御端子を有し、前記被起動回路が非起動状態のときに前記一方端と前記他方端との間の抵抗値が比較的高い状態となり、前記被起動回路が起動状態となったときに前記抵抗値が比較的低い状態となる第 1 のスイッチ手段と、

前記電圧降下手段の前記他方端に接続された入力端子、及び出力端子を有し、前記入力端子の電位が所定のしきい値電圧より前記第 1 の電位に近いときは前記出力端子から前記第 2 の電位を出力し、前記入力端子の電位が前記所定のしきい値電圧より前記第 2 の電位に近いときは前記出力端子から前記第 1 の電位を出力するインバータと、

前記被起動回路の所定の 2 つの接続点にそれぞれ接続された一方端及び他方端並びに前記インバータの前記出力端子に接続された制御端子を有し、前記インバータが前記第 1 の電位を出力する場合に導通状態となり、前記インバータが前記第 2 の電位を出力する場合に非導通状態となる第 2 のスイッチ手段とを備える、起動回路。

【請求項 8】 前記インバータと前記電圧降下手段に関する設計条件の許容範囲内で、前記インバータの占有面積と前記電圧降下手段の占有面積との和が最小になるように、前記インバータの前記しきい値電圧を前記第 1 の電位に近づけるとともに前記電圧降下手段が前記一方端と前記他方端との間に有す抵抗値を小さくすることを特徴とする、請求項 7 記載の起動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、バイアス供給回路を起動する起動回路に関し、特に半導体集積回路内に形成された起動回路の集積度の向上に関するものである。

【 0 0 0 2 】

【従来の技術】 図 1 0 は従来の CMOS IC (complementary metal-oxide semiconductor integrated circuit) で構成された起動回路の構成を示すための回路図である。図において、1 は電源電位 V_{DD} が与えられる電源電位点、2 は接地電位 GND が与えられる接地電位点、Q 1 はソースを電源電位点 1 に接続した P チャネル MOS トランジスタ、R 1 は一方端を接地電位点 2 に接続す

るとともに、他方端をPチャネルMOSトランジスタQ1のドレイン及びゲートに接続した抵抗である。また、符号3で示された点線で囲まれている回路は、起動回路であり、起動回路3によって起動されるバイアス供給回路は、符号4で示す点線で囲まれた回路である。

【0003】さらに、R2は一方端を電源電位点1に接続するとともに、他方端をバイアス供給回路4に接続した抵抗、Q2はソースを抵抗R2の他方端に接続するとともに、ドレインをバイアス供給回路4に接続したPチャネルMOSトランジスタである。PチャネルMOSトランジスタQ2は、そのゲートを抵抗R1の他方端に接続して、抵抗R1の他方端と抵抗R2の他方端との間に発生する電圧によってオン状態とオフ状態との切替えを行う。

【0004】バイアス供給回路4は、抵抗R3とPMOSトランジスタQ3、Q4とNMOSトランジスタQ5～Q7で構成されている。以下、NチャネルMOSトランジスタをNMOS、PチャネルMOSトランジスタをPMOSと記す。

【0005】抵抗R3の一方端及びPMOSQ4のソースは、抵抗R2の他方端に接続されている。PMOSQ3のソースは抵抗R3の他方端に接続され、PMOSQ3のドレインはNMOSQ5のドレインに接続されている。PMOSQ3のゲートはNMOSQ4のゲート及びドレインに接続されている。NMOSQ6のドレインはPMOSQ4のドレインに接続されるとともに、NMOSQ6のゲートはNMOSQ5のゲート及びドレインに接続されている。NMOSQ5、Q6のソースは接地電位点2に接続されている。NMOSQ7は、ゲートをNMOSQ5のゲートに接続されるとともに、ソースを接地電位点2に接続され、ドレインを通して直流電流を供給する。

【0006】次に、起動回路及びバイアス供給回路の設計例を示す。PMOSQ1～Q4、NMOSQ5～Q7及び抵抗R1～R3は同一の工程で作成されるものとして、そのサイズあるいは特性値は、PMOSQ1のゲート幅とゲート長の比（以下W/Lという）が200/3、抵抗R1の抵抗値が150kΩ、PMOSQ2のW/Lが30/3、抵抗R2の抵抗値が5kΩ、抵抗R3の抵抗値が10kΩ、PMOSQ3のW/Lが540/3、PMOSQ4のW/Lが40/3、NMOSQ5～Q7のW/Lが10/2である。また、通常動作時の電源電位V_{DD}は5Vである。

【0007】図11は図10に示した起動回路3の構成を示すレイアウト図である。図11は実物をおよそ550倍程度に拡大した図である。図において、10はゲート電極、11はソース電極、12はドレイン電極、13は拡散領域、14は各電極間、電極と拡散領域、あるいは拡散領域間の接続を行うための配線、15は配線14と各電極や拡散領域との接続を行うためのコンタクトホー

ルである。また、図10と同一符号は図10と同一部分を示す。抵抗R1、R2は、PMOSトランジスタあるいはNMOSトランジスタを製造する段階で作られた拡散領域13を複数本直列に接続することによって所望の抵抗値を得ている。

【0008】次に、起動回路3の動作について説明する。電源電位V_{DD}は、電源が投入される前は、接地電位GNDである。そのため、電源投入時に、PMOSQ1のドレインと抵抗R1の他方端との接続点のノード5は接地電位GNDにある。

【0009】PMOSQ1は、順方向を向けて接続されたダイオードと同じ動作するので、電源が投入されて、電源電位V_{DD}が接地電位GNDから上昇して、PMOSQ1のしきい電圧を越えた時点で、ソースからドレインに向かってオン電流を流し始める。この電流が全て抵抗R1を通して接地電位GNDに流れるので、この電流によって抵抗R1の両端に電圧が発生し、従ってノード5の電位は電流の増加、即ち電源電位V_{DD}の上昇に伴って高くなる。

【0010】また、PMOSQ2は、ソースが抵抗R2を介して電源電位点1に接続されており、そのため、バイアス供給回路4が動作していない状態では抵抗R2からバイアス供給回路4に電流がながれず、電源電位V_{DD}の上昇に伴ってソース電位が上昇する。ソース電位が上昇して、ノード5の電位とPMOSQ2のソース電位との差がPMOSQ2のしきい電圧より大きくなるとドレイン電流が流れ始める。

【0011】PMOSQ2がオンすることによってバイアス供給回路4のNMOSQ5、Q6のゲート電位が上昇すると、バイアス供給回路4に起動がかかる。バイアス供給回路4に起動がかかると、抵抗R2を通して電流が流れはじめ、この電流によって抵抗R2で電圧降下が発生する。そのため、PMOSQ2のソース電位が下がり、また、ノード5の電位が上昇するのと合わせて、PMOSQ2はオフする。

【0012】また、瞬間的に電源電位V_{DD}が下がった場合等、バイアス供給回路4が動作しなくなった場合には、抵抗R2に流れる電流が無くなってPMOSQ2のソース電位が電源電位V_{DD}と同じになることで、PMOSQ2のゲート・ソース間電圧はPMOSQ2のしきい値電圧より大きくなり、PMOSQ2にドレイン電流が流れはじめ、バイアス供給回路4に起動がかかる。

【0013】なお、図12に示すバイアス供給回路及び起動回路は、図10に示したバイアス供給回路とは電流の供給方向の異なるバイアス供給回路及びそれに対応する起動回路である。図12において、Q60はソースを接地電位点2に接続したNMOSトランジスタ、R10は一方端を電源電位点1に接続するとともに、他方端をNMOSトランジスタQ60のドレイン及びゲートに接続した拡散抵抗である。また、R11は一方端を接地電

10

20

30

40

50

位点 2 に接続するとともに、他方端をバイアス供給回路 4 a に接続した拡散抵抗、Q 6 1 はゲートを抵抗 R 1 0 の他方端に接続し、ソースを抵抗 R 1 1 の他方端に接続するとともに、ドレインをバイアス供給回路 4 a に接続した NMOS トランジスタである。

【0014】また、符号 3 x で示された点線で囲まれている回路は、起動回路であり、起動回路 3 x によって起動されるバイアス供給回路は、符号 4 a で示す点線で囲まれた回路である。NMOS トランジスタ Q 6 1 は、抵抗 R 1 0 の他方端と抵抗 R 1 1 の他方端との間に発生する電圧によってオン状態とオフ状態との切替えを行う。

【0015】バイアス供給回路 4 a は、抵抗 R 6 と NMOS トランジスタ Q 1 9、Q 2 0 と PMOS トランジスタ Q 2 1 ~ Q 2 3 で構成されている。抵抗 R 6 の一方端及び NMOS Q 2 0 のソースは、抵抗 R 1 1 の他方端に接続されている。NMOS Q 1 9 のソースは抵抗 R 6 の他方端に接続され、NMOS Q 1 9 のドレインは PMOS Q 2 1 のドレインに接続されている。NMOS Q 1 9 のゲートは PMOS Q 2 0 のゲート及びドレインに接続されている。

【0016】PMOS Q 2 2 のドレインは NMOS Q 2 0 のドレインに接続されるとともに、PMOS Q 2 2 のゲートは PMOS Q 2 1 のゲート及びドレインに接続されている。PMOS Q 2 1、Q 2 2 のソースは電源電位点 1 に接続されている。PMOS Q 2 3 は、ゲートを PMOS Q 2 1 のゲートに接続されるとともに、ソースを電源電位点 1 に接続され、ドレインを通して直流電流を供給する。

【0017】次に動作について説明する。電源投入直後、ノード 1 8 の電位が下がり NMOS トランジスタ Q 6 0 のしきい値電圧 V_{th} 以上になると、拡散抵抗 R 1 0 を介して NMOS トランジスタ Q 6 0 のドレイン電流が流れる。この時ノード 1 8 の電位は NMOS トランジスタ Q 6 0 のしきい値電圧 V_{th} にクランプされ電流値は $(V_{cc} - V_{th})$ を拡散抵抗 R 1 0 の抵抗値で割った値となる。また拡散抵抗 R 1 1 には電流が流れていないため、NMOS トランジスタ Q 6 1 のソース電位は GND 電位であり、ノード 1 8 の電位が NMOS トランジスタ Q 6 0 のしきい値電圧 V_{th} にクランプされているため、NMOS トランジスタ Q 6 1 がオンする。これにより、PMOS トランジスタ Q 2 1、Q 2 2 のゲート電位が下がり、PMOS トランジスタ Q 2 1 のドレイン電流が流れる。この電流により、拡散抵抗 R 1 1 で電圧降下が起こるため NMOS トランジスタ Q 6 1 のソース電位が下がり、NMOS トランジスタ Q 6 1 がオフするため、起動回路 3 x はオフする。この時、バイアス供給回路 4 a は既にオンの状態で安定しているため、PMOS トランジスタ Q 2 3 は定電流源として動作する。

【0018】図 1 2 の起動回路の場合、拡散抵抗 R 1 0 の両端には常に $(V_{cc} - V_{th})$ の電圧がかかり、電流を

少なく押さえるためには、拡散抵抗 R 1 0 には大きな値を必要とした。また、供給回路の定電流の電流値によっては、拡散抵抗 R 1 1 にも大きな値を必要とした。このため、レイアウト面積が非常に大きくなるという問題点があった。

【0019】

【発明が解決しようとする課題】従来の起動回路は以上のように構成されているので、バイアス供給回路 4 に起動がかかった定常状態のとき、PMOS Q 2 をオフするために PMOS Q 2 のゲート・ソース間電圧 V_{gs} がそのスレッショールド電圧 V_{th} よりも小さくしなければならぬので、ノード 5 の電位を高く設定する必要がある、PMOS Q 1 ~ Q 4 や NMOS Q 5 ~ Q 7 を製造するための工程によって同時に抵抗 R 1 を得るためには、パターンレイアウト面積が大きくなるという問題点があった。

【0020】また、抵抗 R 1 のパターンレイアウト面積を小さくするために高抵抗の工程を付加すると、マスク枚数の増加及びウエハプロセス工程の増加が必要となり、製造費用が増大するという問題点があった。

【0021】この発明は上記のような問題点を解消するためになされたもので、起動回路のパターンレイアウト面積を小さくすることを目的とし、さらに、製造の工程数を増加させることなく、起動回路のパターンレイアウト面積を小さくすることを目的とする。

【0022】

【課題を解決するための手段】第 1 の発明に係る起動回路は、第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路であって、前記第 1 あるいは第 2 の電源電位に接続されたゲート、前記第 2 の電源電位に接続されたドレインあるいはソースを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な少なくとも一つの第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは第 2 の電源電位と前記第 1 の絶縁ゲート型トランジスタとの間で、前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生する、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なダイオード手段と、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持ち、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製

造工程によって製造可能な電圧降下手段と、前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記ダイオード手段の前記カソードに接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行う、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なスイッチング手段とを備えて構成される。

【0023】第 2 の発明に係る起動回路は、第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路であって、前記第 1 あるいは第 2 の電源電位に接続されたゲート、前記第 2 の電源電位に接続されたドレインあるいはソースを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な少なくとも一つの第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは第 2 の電源電位と前記第 1 の絶縁ゲート型トランジスタとの間で、前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生する、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なダイオード手段と、前記ダイオード手段の前記カソードに接続された入力端、及び出力端を持ち、前記入力端の電位が所定の電位よりも前記第 2 の電源電位に近ければ前記第 1 の電源電位を出力し、前記入力端の電位が前記所定の電位よりも前記第 1 の電源電位に近ければ前記第 2 の電源電位を出力する、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なインバータと、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持ち、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な電圧降下手段と、前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記インバータの前記出力端に接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行う、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能なスイッチング手段とを備えて構成されている。

【0024】第 3 の発明に係る起動回路は、第 1 あるいは第 2 の発明の起動回路において、前記ダイオード手段

が、前記第 1 あるいは第 2 の電源電位に接続されたソース、並びに前記スイッチング手段の前記制御電極に接続されたゲート及びドレインを有し、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な第 2 の絶縁ゲート型トランジスタを含んで構成されている。

【0025】第 4 の発明に係る起動回路は、第 1 あるいは第 2 の発明の起動回路において、前記電圧降下手段が、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有するとともに、前記一方端と前記他方端との間に所定の抵抗値を持ち、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な拡散抵抗を含んで構成されている。

【0026】第 5 の発明に係る起動回路は、第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路であって、前記第 1 あるいは前記第 2 の電源電位に共通に接続されているゲート、ソース及びドレインを有するとともに、前記第 1 の電源電位と前記第 2 の電源電位との間に直列に接続され、前記第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタの製造工程によって製造可能な複数の第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは前記第 2 の電源電位と複数の前記第 1 の絶縁ゲート型トランジスタとの間で、複数の前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生するダイオード手段と、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持つ、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための電圧降下手段と、前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記ダイオード手段の前記カソードに接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行うスイッチング手段とを備えて構成されている。

【0027】第 6 の発明に係る起動回路は、第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路であって、前記第 1 あるいは前記第 2 の電源電

位に共通に接続されているゲート、ソース及びドレインを有し、前記第 1 の電源電位と前記第 2 の電源電位との間に直列に接続された複数の前記第 1 の絶縁ゲート型トランジスタと、前記第 1 あるいは前記第 2 の電源電位と複数の前記第 1 の絶縁ゲート型トランジスタとの間で、複数の前記第 1 の絶縁ゲート型トランジスタと直列に順方向を向けて接続され、アノード及びカソードを有し、オン状態で前記アノードと前記カソードとの間に所定の電圧降下を発生するダイオード手段と、前記ダイオード手段の前記カソードに接続された入力端、及び出力端を持ち、前記入力端の電位が所定の電位よりも前記第 2 の電源電位に近ければ前記第 1 の電源電位を出力し、前記入力端の電位が前記所定の電位よりも前記第 1 の電源電位に近ければ前記第 2 の電源電位を出力するインバータと、前記第 1 あるいは前記第 2 の電源電位に接続された一方端、及び前記被起動回路に接続された他方端を有し、前記一方端と前記他方端との間に所定の抵抗値を持つ、起動状態で前記被起動回路に前記第 1 及び第 2 の電源電位からの電流を流すための電圧降下手段と、前記電圧降下手段の前記他方端に接続された入力端子、前記被起動回路に接続された出力端子、及び前記インバータの前記出力端に接続された制御端子を有し、前記制御端子と前記入力端子との間の電位差に応じて前記入力端子と前記出力端子との接続／非接続を行うスイッチング手段とを備えて構成されている。

【0028】第 7 の発明に係る起動回路は、第 1 導電型の絶縁ゲート型トランジスタ及び第 2 導電型の絶縁ゲート型トランジスタを含む半導体集積回路内に形成され、第 1 及び第 2 の電源電位に接続されるとともに、起動状態で前記第 1 及び第 2 の電源電位からの電流が流れる被起動回路に接続され、前記被起動回路を起動するための起動回路であって、前記第 1 の電源電位に接続された一方端、及び他方端を有する電圧降下手段と、前記電圧降下手段の前記他方端に接続された一方端、前記第 2 の電源電位に接続された他方端、及び前記被起動回路に接続された制御端子を有し、前記被起動回路が非起動状態のときに前記一方端と前記他方端との間の抵抗値が比較的高い状態となり、前記被起動回路が起動状態となったときに前記抵抗値が比較的低い状態となる第 1 のスイッチ手段と、前記電圧降下手段の前記他方端に接続された入力端子、及び出力端子を有し、前記入力端子の電位が所定のしきい値電圧より前記第 1 の電位に近いときは前記出力端子から前記第 2 の電位を出力し、前記入力端子の電位が前記所定のしきい値電圧より前記第 2 の電位に近いときは前記出力端子から前記第 1 の電位を出力するインバータと、前記被起動回路の所定の 2 つの接続点にそれぞれ接続された一方端及び他方端並びに前記インバータの前記出力端子に接続された制御端子を有し、前記インバータが前記第 1 の電位を出力する場合に導通状態となり、前記インバータが前記第 2 の電位を出力する場合

に非導通状態となる第 2 のスイッチ手段とを備えて構成されている。

【0029】第 8 の発明に係る起動回路は、第 7 の発明の起動回路において、前記インバータと前記電圧降下手段に関する設計条件の許容範囲内で、前記インバータの占有面積と前記電圧降下手段の占有面積との和が最小になるように、前記インバータの前記しきい値電圧を前記第 1 の電位に近づけるとともに前記電圧降下手段が前記一方端と前記他方端との間に有す抵抗値を小さくすることを特徴とする。

【0030】

【作用】第 1 の発明における第 1 の絶縁ゲート型トランジスタは、例えば電源を投入することによって第 1 の電源電位と第 2 の電源電位との電位差が 0 V から半導体集積回路動作時の定格電圧へと変化するため、ゲートを第 1 あるいは第 2 の電源電位に接続することで第 1 の電源電位と第 2 の電源電位との電位差が第 1 の絶縁ゲート型トランジスタのしきい値電圧より大きくなったときにオン状態となる。

【0031】また、被起動回路が非動作状態の時に、電圧降下手段を通して被起動回路に流れる電流がないため、電圧降下手段の他方端の電位を第 1 の電源電位あるいは第 2 の電源電位とほぼ同じ電位とすることができる。

【0032】そして、第 1 の絶縁ゲート型トランジスタのオン抵抗の抵抗値の設定をダイオード手段のオン抵抗より十分大きくしておくことで、ダイオード手段がオン状態のときにそのカソードの電位は、アノードの電位に対して所定の電圧降下分に相当する電位差だけ異なった電位にすることができる。

【0033】従って、スイッチング手段の制御端子と入力端子との間にダイオード手段で発生する所定の電圧降下に相当する電位差が生じて、それによってスイッチング手段が接続状態となる。スイッチング手段が接続状態となることで被起動回路にスイッチング手段を通して電流を供給することができる。

【0034】スイッチング手段が接続状態となって被起動回路が起動することによって電圧降下手段を通して電流が流れはじめると、電圧降下手段に発生する電圧降下によってその入力端子と制御端子との間の電位差が小さくなり、スイッチング手段は非接続状態となる。

【0035】そして、これら第 1 の絶縁ゲート型トランジスタ、ダイオード手段、電圧降下手段及びスイッチング手段は、半導体集積回路を構成する第 1 導電型及び第 2 導電型の絶縁ゲート型トランジスタを製造する工程によって同時に形成することが可能である。

【0036】第 2 の発明における第 1 の絶縁ゲート型トランジスタは、例えば電源を投入することによって第 1 の電源電位と第 2 の電源電位との電位差が 0 V から半導体集積回路動作時の定格電圧へと変化するため、ゲート

を第1あるいは第2の電源電位に接続することで第1の電源電位と第2の電源電位との電位差が第1の絶縁ゲート型トランジスタのしきい値電圧より大きくなったときにオン状態となる。

【0037】第1の絶縁ゲート型トランジスタのオン抵抗の抵抗値の設定をダイオード手段のオン抵抗より十分大きくしておくことで、ダイオード手段がオン状態のときにそのカソードの電位を、そのアノードの電位から所定の電圧降下分に相当する電位差だけ異なった電位にすることができる。

【0038】また、ダイオード手段のカソードの電位が所定の電位よりも第2の電源電位に近いときには被起動回路が非動作状態になっていることが多く、このときインバータは第1の電源電位を出力するので、スイッチング手段の制御端子と入力端子との間に生じる電位差によって、スイッチング手段が接続状態となる。スイッチング手段が接続状態となることで被起動回路にスイッチング手段を通して電流を供給することができる。

【0039】そして、ダイオード手段のカソードの電位が所定の電位よりも第1の電源電位に近づくとき、インバータの出力が第2の電源電位となり、スイッチング手段は非接続状態となる。

【0040】これら第1の絶縁ゲート型トランジスタ、ダイオード手段、インバータ、電圧降下手段及びスイッチング手段は、第1導電型及び第2導電型の絶縁ゲート型トランジスタを製造する工程によって同時に形成することが可能である。

【0041】第3の発明におけるダイオード手段を、第1あるいは第2の電源電位に接続されたソース、並びにスイッチング手段の制御電極に接続されたゲート及びドレインを有する他の絶縁ゲート型トランジスタで構成することによって、ダイオード手段は第1導電型及び第2導電型の絶縁ゲート型トランジスタと同様の製造工程で容易に形成できる。

【0042】第4の発明における電圧降下手段は、第1あるいは前記第2の電源電位に接続された一方端、及び被起動回路に接続された他方端を有し、一方端と他方端との間に所定の抵抗値を持つ拡散抵抗で構成することによって、所定の抵抗値を有する電圧降下手段を第1導電型及び第2導電型の絶縁ゲート型トランジスタと同様の製造工程で容易に形成することができる。

【0043】第5の発明における複数の第1の絶縁ゲート型トランジスタは、例えば電源を投入することによって第1の電源電位が第2の電源電位と半導体集積回路動作時の通常の第1の電源電位との間で変化するため、第1の電源電位あるいは第2の電源電位に共通にゲートを接続し、第1の電源電位と第2の電源電位との間に直列に接続することによって、第1の電源電位と第2の電源電位との電位差が第1の絶縁ゲート型トランジスタのしきい値電圧より大きくなったときにオン状態となるよう

にしてある。複数の第1の絶縁ゲート型トランジスタのオン抵抗の抵抗値の設定をダイオード手段のオン抵抗より十分大きくしておくことで、ダイオード手段がオン状態のときにそのカソードの電位を、そのアノードの電位に対して所定の電圧降下分に相当する電位差だけ異なった電位にすることができる。

【0044】また、電圧降下手段を通して非起動回路に流れる電流がないため、バイアス供給回路が非動作状態の時に電圧降下手段の他方端の電位を第1の電源電位あるいは第2の電源電位とほぼ同じ電位とすることができる。

【0045】従って、スイッチング手段の制御端子と入力端子との間にダイオード手段で発生する所定の電圧降下に相当する電位差が生じて、それによってスイッチング手段がオンする。スイッチング手段が接続状態となることで非起動回路にスイッチング手段を通して電流を供給することができる。

【0046】スイッチング手段が接続状態となって被起動回路が起動することによって電圧降下手段を通して電流が流れはじめると、電圧降下手段に発生する電圧降下によってその入力端子と制御端子との間の電位差が小さくなり、スイッチング手段は非接続状態となる。

【0047】そしてこの場合、複数の第1の絶縁ゲート型トランジスタは、直列に接続することで、ゲート・ソース間の電圧を小さくして、複数の第1の絶縁ゲート型トランジスタの全体の抵抗値は、一つの絶縁ゲート型トランジスタで構成するのに比べて、同一面積でも、より高くすることができる。

【0048】第6の発明における第1の絶縁ゲート型トランジスタは、例えば電源を投入することによって第1の電源電位と第2の電源電位との電位差が0Vから半導体集積回路動作時の定格電圧へと変化するため、ゲートを第1あるいは第2の電源電位に接続することで第1の電源電位と第2の電源電位との電位差が第1の絶縁ゲート型トランジスタのしきい値電圧より大きくなったときにオン状態となる。

【0049】第1の絶縁ゲート型トランジスタのオン抵抗の抵抗値の設定をダイオード手段のオン抵抗より十分大きくしておくことで、ダイオード手段がオン状態のときにそのカソードの電位を、そのアノードの電位に対して所定の電圧降下分に相当する電位差だけ異なった電位にすることができる。

【0050】ダイオード手段のカソードの電位が所定の電位よりも第2の電源電位に近いときには被起動回路が非動作状態になっていることが多く、このときインバータは第1の電源電位を出力するので、スイッチング手段の制御端子と入力端子との間に生じる電位差によって、スイッチング手段が接続状態となる。スイッチング手段が接続状態となることで被起動回路にスイッチング手段を通して電流を供給することができる。

10

20

30

40

50

【0051】ダイオード手段のカソードの電位が所定の電位よりも第1の電源電位に近づくと、インバータの出力が第2の電源電位となり、スイッチング手段は非接続状態となる。

【0052】そしてこの場合、複数の第1の絶縁ゲート型トランジスタは、直列に接続することで、ゲート・ソース間の電圧を小さくして、複数の第1の絶縁ゲート型トランジスタの全体の抵抗値は、一つの絶縁ゲート型トランジスタで構成するのに比べて、同一面積でも、より高くすることができる。

【0053】第7の発明におけるインバータが電圧降下手段の他方端の電圧に応じて第2のスイッチ手段の導通・非導通を制御することによって、被起動回路を起動する際に第2のスイッチ手段に与えるために電圧降下手段が発生させなければならない電圧を小さくでき、電圧降下手段の占有面積を減少させることができるという効果がある。

【0054】第8の発明におけるインバータのしきい値電圧は、第1の電位に近づけことで電圧降下手段が一方端と他方端との間に有す抵抗値を小さくすることが可能になるが、インバータと電圧降下手段にはそれぞれ設計条件の許容範囲が存在する。従って、その設計条件の範囲内でインバータのしきい値電圧と電圧降下手段の抵抗値との間に適切な関係を与えることにより、インバータの占有面積と電圧降下手段の占有面積との和が最小になるようにすることができる。

【0055】

【実施例】以下、この発明の第1実施例について図1及び図2を用いて説明する。図1はこの発明の第1実施例によるCMOS ICで構成された起動回路の構成を示すための回路図である。図において、符号3aで示された点線で囲まれている回路は、起動回路であり、起動回路3aによって起動されるバイアス供給回路4は、図10に示した従来のバイアス供給回路4と同じ回路構成である。

【0056】図において、Q1はソースを電源電位点1に接続したPMOS、R4は一方端を電源電位点1に接続するとともに、他方端をバイアス供給回路4に接続した抵抗、Q8~Q10は共にゲートを電源電位点1に接続し、PMOSQ1のドレインと接地電位点2との間に直列に接続されたNMOS、Q2は抵抗R4の他方端に接続するとともに、ドレインをバイアス供給回路4に接続したPMOSである。PMOSQ2は、そのゲートをNMOSQ8のドレインに接続して、NMOSQ8のドレインと抵抗R4の他方端との間に発生する電圧によってオン状態とオフ状態との切替えを行う。

【0057】次に、起動回路の設計例を示す。PMOSQ1のドレインとNMOSQ8のドレインとの接続点をノード20とし、ノード20の電位を V_{i1} とする。また、PMOSQ1がオンしている状態でのPMOSQ1

のゲート・ソース間電圧を V_{gs1} とすると、ノード20の電位 V_{i1} は、 $(V_{DD} - V_{gs1})$ で与えられる。

【0058】また、バイアス供給回路4が動作している状態で抵抗R4を通してバイアス供給回路4に流れる電流を I_1 、抵抗R4の抵抗値を r_1 とすると、PMOSQ2のソース電位は、 $(V_{DD} - r_1 \times I_1)$ で与えられる。

【0059】従って、PMOSQ2のゲート・ソース間電圧 V_{gs2} は、 $(V_{DD} - r_1 \times I_1) - (V_{DD} - V_{gs1})$ で与えられ、この式を整理すると、 $(V_{gs1} - r_1 \times I_1)$ となる。つまり、PMOSQ2のゲート・ソース間電圧 V_{gs2} は、PMOSQ1のスレッシュホールド電圧と抵抗R4で発生する電圧降下によって決まり、電源電位 V_{DD} の変動に依存しない値となる。

【0060】バイアス供給回路4が動作したとき、PMOSQ2をオフさせるには、PMOSQ2のスレッシュホールド電圧 V_{th2} よりゲート・ソース間電圧 V_{gs2} を小さくする必要がある。従って、バイアス供給回路4が動作しているとき、 $V_{th2} > V_{gs2} - r_1 \times I_1$ という条件を満たさなければならない。通常、 V_{th2} は、0.6~0.9Vなので、例えば、PMOSQ1のゲート・ソース間電圧 V_{gs1} を0.85Vとし、 $r_1 \times I_1$ を1Vとすれば、この条件は満たされる。電源電位 V_{DD} を5V、PMOSQ1からNMOSQ8、Q9、Q10を流れて流れる電流 I_1 を28 μ Aとすると、直列に接続されたNMOSQ8、Q9、Q10の全オン抵抗 r は、 $r = (V_{DD} - V_{gs1}) \div I_1$ から150k Ω となる。

【0061】ここで、NMOSQ8、Q9、Q10のそれぞれが50k Ω 以上の抵抗値を有することが必要であり、そのためには、ゲート長Lを小さくし、ゲート幅Wをゲート長Lの30倍にすることで実現できる。この時のゲート長Lとゲート幅Wとを抵抗のパターンに置き換えた場合、30シート分となる。例えば、同一形状で、かつMOSTランジスタ製造工程と同一工程で作成した抵抗を用いると約3k Ω となり、NMOSQ8~Q10が有する抵抗値50k Ω と比べて非常に小さいものとなる。

【0062】NMOSQ8~Q10は電源電位 V_{DD} の変動によって多少抵抗値が変化するが、電源電位 V_{DD} が高いほど抵抗値が低くなるので、最も電源電位 V_{DD} が高い状態でNMOSQ8~Q10の抵抗値を設定すればよい。

【0063】図1に示した起動回路3aでは、複数のNチャネルMOSTランジスタを直列に接続している。MOSTランジスタのオン抵抗 R_{on} は数1で表される。なお、数1において、 β はランジスタ利得係数である。

【0064】

【数1】

$$R_{ON} = \frac{1}{\beta \{ (V_{GS} - V_{TH}) - V_{DS} \}}$$

【0065】従って、NチャネルMOSトランジスタ1個で構成する場合に比べて、NMOSQ8、Q9のゲート・ソース間電圧 V_{gs} が小さくなるので、同じゲート幅で得ることができるオン抵抗 R_{on} の抵抗値は複数個に分割して直列に接続したほうが大きくなる。そのため、同じ抵抗値を得るのに複数個のMOSトランジスタを直列接続するほうがゲート幅が小さくなり、パターンレイアウト面積が小さくなる。

【0066】PMOSQ1～Q4、NMOSQ5～Q10及び抵抗R3、R4は同一の工程で作成されるものとして、そのサイズあるいは特性値は、PMOSQ1のゲート幅とゲート長の比（以下 W/L という）が200/3、PMOSQ2の W/L が30/3、抵抗R3の抵抗値が10k Ω 、抵抗R4の抵抗値が5k Ω 、PMOSQ3の W/L が540/3、PMOSQ4の W/L が40/3、NMOSQ5～Q7の W/L が10/2、NMOSQ8～Q10の W/L が4/120である。また、通常動作時の電源電位 V_{DD} は5Vである。

【0067】図2は図1に示した起動回路3aの構成を示すレイアウト図である。図2は図11と同じ割合で拡大してある。図において、10はゲート電極、11はソース電極、12はドレイン電極、13は拡散領域、14は各電極間、電極と拡散領域、あるいは拡散領域間の接続を行うため配線、15は配線14と各電極や拡散領域との接続を行うためのコンタクトホールである。また、図2において、図1と同一符号は図1と同一部分を示す。抵抗R2は、PMOSTランジスタあるいはNMOSTランジスタを製造する段階で作られた拡散領域13を複数本直列に接続することによって所望の抵抗値を得ている。そして、NMOSQ8～Q10によってPMOSQ2のゲート電位を与えているため、図11に示した従来の抵抗R1の占有面積に比べて、NMOSQ8～Q10の占有面積が小さいため起動回路3aはその占有面積を小さくできる。また、NMOSQ8～Q10に分割することで、それらを配置する際のレイアウトの自由度が向上し、レイアウトが容易になる。

【0068】次に、起動回路3aの動作について説明する。電源電位 V_{DD} は、電源が投入される前は、接地電位GNDである。

【0069】電源が投入されて電源電位 V_{DD} が上昇し、電源電位 V_{DD} と接地電位GNDとの電位差がNMOSQ8～Q10のしきい値電圧より大きくなった時点で、NMOSQ8～Q10はオンする。

【0070】PMOSQ1は、順方向を向けて接続されたダイオードと同じ動作するので、電源が投入されて、電源電位 V_{DD} が接地電位GNDから上昇して、PMOSQ1のゲート・ソース間の電圧がPMOSQ1のしきい

電圧を越えた時点で、ソースからドレインに向かってオン電流を流し始める。この電流が全てNMOSQ8～Q10を通して接地電位GNDに流れるので、この電流によってNMOSQ8のドレインとNMOSQ10のソースとの間に電圧が発生し、従ってノード20の電位は電流の増加、即ち電源電位 V_{DD} の上昇に伴って高くなる。

【0071】また、PMOSQ2は、ソースが抵抗R4を介して電源電位点1に接続されており、そのため、バイアス供給回路4が動作していない状態では抵抗R4からバイアス供給回路4に電流がながれず、電源電位 V_{DD} の上昇に伴ってソース電位が上昇する。ソース電位が上昇して、ノード20の電位とPMOSQ2のソース電位との差がPMOSQ2のしきい電圧より大きくなるとドレイン電流が流れ始める。

【0072】PMOSQ2がオンすることによってバイアス供給回路4のNMOSQ5、Q6のゲート電位が上昇すると、バイアス供給回路4に起動がかかる。バイアス供給回路4に起動がかかると、抵抗R4を通して電流が流れはじめ、この電流によって抵抗R4で電圧降下が発生する。そのため、PMOSQ2のソース電位が下がり、また、ノード20の電位が上昇するのと合わせて、PMOSQ2はオフする。

【0073】また、瞬間的に電源電位 V_{DD} が下がった場合等、バイアス供給回路4が動作しなくなった場合にも、抵抗R4に流れる電流が無くなってPMOSQ2のソースが電源電位 V_{DD} と同じになることで、PMOSQ2のしきい値電圧より大きくなり、PMOSQ2にドレイン電流が流れはじめ、バイアス供給回路4に起動がかかる。

【0074】次に、図13乃至図18を用いて図2に示した起動回路の製造工程について説明する。図2において、一点鎖線で示したa-a断面図、b-b断面図及びc-c断面図を図13～図18の(a)、(b)及び(c)にそれぞれ示す。ただし、図13乃至図18はその構成を説明するための概念図であり、図における各部の大きさは図2とは一致しない。

【0075】図13乃至図18において、50はP型基板、51はNウエル、52はPウエル、53はフィールド酸化膜、54はMOSトランジスタのゲート電極を形成するためのポリシリコン、55はMOSトランジスタのゲート電極を形成するためのタングステンシリサイド、56はNMOSTランジスタのソースまたはドレインを形成するためのN'拡散層、57はMOSトランジスタのゲート絶縁膜、58はPMOSTランジスタのソースまたはドレインを形成するためのP'拡散層、59は層間絶縁を行うための酸化膜、59はトランジスタの電極や抵抗の端子との電氣的接続を行うためのアルミニウム配線である。

【0076】次に、製造工程を順に説明する。まず、P基板50上にエピタキシャル層を形成した後、エピタキ

シャル層中に不純物を注入して、素子を形成するためのNウエル51及びPウエル52を形成する。そして、素子を分離するためのフィールド酸化膜53を形成した状態を示しているのが図13である。

【0077】次に、酸化膜上にMOSトランジスタのゲート電極を形成するためのポリシリコン54とタングステンシリサイド55を設ける(図14)。そして、マスクを形成するとともにこのポリシリコン54及びタングステンシリサイド55の積層体及びフィールド酸化膜53をマスクとして、不純物を注入し、NMOSトランジスタのソース及びドレインを形成するためのN'拡散層56を形成する(図15)。その際、図15(b)に示すように、拡散抵抗を形成するためのNウエル51にもN'拡散層56を形成する。同様に、所定のマスクを形成するとともにこのポリシリコン54及びタングステンシリサイド55の積層体及びフィールド酸化膜53をマスクとして、不純物を注入し、PMOSトランジスタのソース及びドレインを形成するためのP'拡散層58を形成する。その後、N'拡散層56やP'拡散層58上の酸化膜を除去する(図16)。

【0078】次に、N'拡散層56やP'拡散層58上のコンタクトをとる必要のある部分を除いて配線層を形成するため層間絶縁用の酸化膜59を形成する(図17)。そして各素子の電氣的接続を行うためにアルミニウム配線60を形成する(図18)。

【0079】このように、図2に示したPMOSトランジスタQ1及びNMOSトランジスタQ8~Q10の製造工程の中で拡散抵抗R4を形成することができる。また、図1に示すMOSトランジスタQ1~Q10の製造工程の中で拡散抵抗R3、R4が構成できる。

【0080】なお、上記実施例では、NMOSQ8~Q10にエンハンスメント形MOSFETを用いたが、デプレッション形MOSFETを用いてもよく、上記実施例と同様の効果を奏する。

【0081】次に、この発明の第2実施例を図3を用いて説明する。図3において、Q1はソースを電源電位点1に接続したPMOS、R4は一方端を電源電位点1に接続するとともに、他方端をバイアス供給回路4に接続した抵抗、Q11~Q13は共にゲートを接地電位点2に接続し、PMOSQ1のドレインと接地電位点2との間に直列に接続されたPMOS、Q2は抵抗R4の他方端に接続するとともに、ドレインをバイアス供給回路4に接続したPMOSである。また、25はPMOSQ1のドレインとPMOSQ11のドレインとの接続点であるノードを示している。PMOSQ2は、そのゲートをPMOSQ11のドレインに接続して、PMOSQ11のドレインと抵抗R4の他方端との間に発生する電圧によってオン状態とオフ状態との切替えを行う。バイアス供給回路4の構成は、第1実施例に示したバイアス供給回路4と同一の構成である。

【0082】起動回路3bは、PMOSQ1、Q2、Q11~Q13及び抵抗R4で構成されている。PMOSQ11~Q13はゲートを接地電位点2に接続し、PMOSQ1のドレインと接地電位点2との間に直列に接続されている。その他の構成は図1に示した回路と同じであり、図3に示す起動回路3bが図1に示した起動回路3aと異なる点は、PMOSQ1のドレインと接地電位点2との間に直列に接続されるMOSトランジスタをゲートを接地電位GNDに接続したPチャネルMOSトランジスタとした点である。

【0083】図3に示した回路の動作は、電源電位V_{DD}が上昇することによってPMOSQ11~Q13がオンするとノード25の電位が下がるので、PMOSQ2がオンし、図1に示した起動回路3aと同じ働きをするような動作となる。そのためには、直列に接続されたPMOSQ11~Q13の抵抗値が、図1中の直列に接続されたNMOSQ8~Q10の抵抗値と同等の値を有することが必要である。そして、このようなPMOSQ11~Q13を用いることによって第1実施例と同様に占有面積を削減することができる。

【0084】次に、この発明の第3実施例を図4を用いて説明する。図4はこの発明の第3実施例によるCMOSICで構成された起動回路の構成を示すための回路図である。図において、Q15はソースを接地電位点2に接続したNMOS、Q17はドレインをNMOSQ15のドレイン及びゲートに接続するとともに、ゲートを接地電位点2に接続したPMOS、Q18はソースを電源電位点1に接続し、ドレインをPMOSQ17のソースに接続し、ゲートを接地電位点2に接続したPMOSである。また、符号3dで示された点線で囲まれている回路は、起動回路であり、起動回路3dによって起動されるバイアス供給回路は、符号4aで示す点線で囲まれた回路である。

【0085】さらに、R5は一方端を接地電位点2に接続するとともに、他方端をバイアス供給回路4aに接続した抵抗、Q16はソースを抵抗R5の他方端に接続するとともに、ドレインをバイアス供給回路4aに接続したNMOSである。NMOSQ16は、そのゲートをNMOSQ15のドレインに接続して、抵抗R5の他方端とNMOSQ15のドレインとの間に発生する電圧によってオン状態とオフ状態との切替えを行う。

【0086】バイアス供給回路4aは、抵抗R6とNMOSQ19、Q20とPMOSQ21~Q23で構成されている。

【0087】抵抗R6の一方端及びNMOSQ20のソースは、抵抗R5の他方端に接続されている。NMOSQ19のソースは抵抗R6の他方端に接続され、NMOSQ19のドレインはPMOSQ21のドレインに接続されている。NMOSQ19のゲートはNMOSQ20のゲート及びドレインに接続されている。PMOSQ2

21

2 のドレインは NMOSQ 20 のドレインに接続されるとともに、PMOSQ 22 のゲートは PMOSQ 21 のゲート及びドレインに接続されている。PMOSQ 21、Q 22 のソースは電源電位点 1 に接続されている。PMOSQ 23 は、ゲートを PMOSQ 21 のゲートに接続されるとともに、ソースを電源電位点 1 に接続され、ドレインを通して直流電流を供給する。

【0088】次に、起動回路 3 a の動作について説明する。電源電位 V_{DD} は、電源が投入される前は、接地電位 GND である。電源が投入されて電源電位 V_{DD} が上昇し、電源電位 V_{DD} と接地電位 GND との電位差が PMOSQ 17、Q 18 のしきい値電圧より大きくなった時点で、PMOSQ 17、Q 18 はオンする。

【0089】NMOSQ 15 は、順方向を向けて接続されたダイオードと同じ動作するので、電源が投入されて、電源電位 V_{DD} が接地電位 GND から上昇して、NMOSQ 15 のゲート・ソース間の電圧が NMOSQ 15 のしきい電圧を越えた時点で、ソースからドレインに向かってオン電流を流し始める。この電流が全て PMOSQ 17、Q 18 を通して電源電位 V_{DD} に流れるので、この電流によって PMOSQ 17 のドレインと PMOSQ 18 のソースとの間に電圧が発生するが、NMOSQ 15 のオン抵抗に比べて PMOSQ 17、Q 18 のオン抵抗が大きいので、ノード 35 の電位は電流の増加、即ち電源電位 V_{DD} の上昇とは無関係に NMOSQ 15 のしきい値電圧付近にある。

【0090】また、NMOSQ 16 は、ソースが抵抗 R 5 を介して接地電位点 2 に接続されており、そのため、バイアス供給回路 4 a が動作していない状態ではソース電位が接地電位 GND にある。そして、ノード 35 の電位と NMOSQ 16 のソース電位との差が NMOSQ 16 のしきい電圧より大きくなるとドレイン電流が流れ始める。

【0091】NMOSQ 16 がオンすることによってバイアス供給回路 4 a の PMOSQ 21、Q 22 のゲート電位が下がると、バイアス供給回路 4 a に起動がかかる。バイアス供給回路 4 a に起動がかかると、抵抗 R 5 を通して電流が流れはじめ、この電流によって抵抗 R 5 で電圧降下が発生する。そのため、NMOSQ 16 のソース電位が上がり、NMOSQ 16 はオフする。

【0092】また、瞬間的に電源電位 V_{DD} が下がった場合等、例えばノード 35 の電位が 0 V から NMOSQ 15 のしきい値電圧上がった状態でバイアス供給回路 4 a が動作しなくなった場合には、抵抗 R 5 に流れる電流が無くなって NMOSQ 16 のソースが接地電位 GND と同じになることで、NMOSQ 16 のしきい値電圧より大きくなり、NMOSQ 16 にドレイン電流が流れはじめ、バイアス供給回路 4 a に起動がかかる。

【0093】なお、上記実施例では、PMOSQ 17、Q 18 にエンハンスメント形 MOSFET を用いたが、

22

デプレッション形 MOSFET を用いてもよく、上記実施例と同様の効果を奏する。

【0094】次に、この発明の第 4 実施例について図 5 を用いて説明する。図 5 はこの発明の第 4 実施例による CMOS IC で構成された起動回路の構成を示すための回路図である。図において、符号 3 e で示された点線で囲まれている回路は、起動回路であり、起動回路 3 e によって起動されるバイアス供給回路 4 a は、図 4 に示したバイアス供給回路 4 a と同じ回路構成である。

【0095】図において、Q 24 はソースを電源電位点 1 に接続した PMOS、R 7 は一方端を接地電位点 2 に接続するとともに、他方端をバイアス供給回路 4 a に接続した抵抗、Q 25～Q 27 は共にゲートを電源電位点 1 に接続し、PMOSQ 24 のドレインと接地電位点 2 との間に直列に接続された NMOS、Q 28 は抵抗 R 7 の他方端に接続するとともに、ドレインをバイアス供給回路 4 a に接続した NMOS である。NMOSQ 28 は、そのゲートをインバータ 41 を介して NMOSQ 25 のドレインに接続して、NMOSQ 25 のドレインの電位に応じてインバータ 41 が出力する電圧によってオン状態とオフ状態との切替えを行う。

【0096】インバータ 41 によって NMOSQ 28 のオン状態、オフ状態の切替えを行うため、ノード 40 の電位がインバータ 41 のしきい値電圧より高いか否かによって NMOSQ 28 のオン・オフ動作を確実に行える。従って、NMOSQ 25～Q 27 の抵抗値は、電源電位 V_{DD} が動作電圧 (5 V) のとき、ノード 40 の電位がインバータ 41 のしきい値電圧より十分高くなるように設定してあれば良い。

【0097】なお、図 8 にインバータ 41 とその回路構成例を示す。図 8 において、41 a はインバータ 41 の入力端、41 b はインバータ 41 の出力端である。Q 41 はエンハンスメント形 PMOS、Q 42～Q 44、Q 46 はエンハンスメント形 NMOS、Q 45 はデプレッション形 NMOS である。図 8 (b) には CMOS インバータ、図 8 (c)、図 8 (d) には NMOS インバータを示してある。

【0098】次に、この発明の第 5 実施例について図 6 を用いて説明する。図 6 はこの発明の第 5 実施例による CMOS IC で構成された起動回路の構成を示すための回路図である。図において、符号 3 f で示された点線で囲まれている回路は、起動回路であり、起動回路 3 f によって起動されるバイアス供給回路 4 は、図 1 に示したバイアス供給回路 4 と同じ回路構成である。

【0099】図において、Q 29 はソースを接地電位点 2 に接続した NMOS、R 8 は一方端を電源電位点 1 に接続するとともに、他方端をバイアス供給回路 4 に接続した抵抗、Q 30、Q 31 は共にゲートを接地電位点 2 に接続し、NMOSQ 29 のドレインと電源電位点 1 と間に直列に接続された PMOS、Q 32 は抵抗 R 8 の他

方端に接続するとともに、ドレインをバイアス供給回路 4 に接続した PMOS である。PMOS Q 32 は、そのゲートをインバータ 46 を介して NMOS Q 29 のドレインに接続して、NMOS Q 29 のドレインの電位に応じてインバータ 46 が出力する電圧によってオン状態とオフ状態との切替えを行う。

【0100】インバータ 46 によって PMOS Q 32 のオン状態、オフ状態の切替えを行うため、ノード 45 の電位がインバータ 46 のしきい値電圧より高いか否かによって PMOS Q 32 のオン・オフ動作を確実に行える。従って、PMOS Q 30、Q 31 の抵抗値は、電源電位 V_{DD} が動作電圧 (5V) のとき、ノード 45 の電位よりインバータ 46 のしきい値電圧が十分高くなるように設定してあれば良い。

【0101】なお、図 9 にインバータ 46 とその回路構成例を示す。図 9 において、46a はインバータ 46 の入力端、46b はインバータ 46 の出力端である。Q 48 はエンハンスメント形 NMOS、Q 47、Q 49 ~ Q 51 はエンハンスメント形 PMOS、Q 52 はデプレッション形 PMOS である。図 8 (b) には CMOS インバータ、図 8 (c)、図 8 (d) には PMOS インバータを示してある。

【0102】次に、この発明の第 6 実施例について図 7 を用いて説明する。図 7 はこの発明の第 6 実施例による CMOS IC で構成された起動回路の構成を示すための回路図である。図において、符号 3g で示された点線で囲まれている回路は、起動回路であり、起動回路 3g によって起動されるバイアス供給回路 4 は、図 1 に示したバイアス供給回路 4 と同じ回路構成である。

【0103】図において、Q 33 はソースを電源電位点 1 に接続した PMOS、R 9 は一方端を電源電位点 1 に接続するとともに、他方端をバイアス供給回路 4 に接続した抵抗、Q 34 は共にゲートを接地電位点 2 に接続し、PMOS Q 33 のドレインと接地電位点 2 との間に接続されたデプレッション形 N チャネル MOS トランジスタ、Q 35 は抵抗 R 9 の他方端に接続するとともに、ドレインをバイアス供給回路 4 に接続した PMOS である。PMOS Q 35 は、そのゲートを NMOS Q 34 のドレインに接続して、NMOS Q 34 のドレインと抵抗 R 9 の他方端との間に発生する電圧によってオン状態とオフ状態との切替えを行う。

【0104】NMOS Q 34 は、デプレッション形で、ゲートが接地電位 GND に接続されているので、電源電位 V_{DD} の変動に関係なく、常にオン状態である。従って、NMOS Q 34 のオン抵抗が図 10 に示した抵抗 R 1 と同程度の抵抗値を有しており、他の対応する部分が同じ特性を有していれば、起動回路 3g は従来の起動回路 3 と同様の動作を行う。

【0105】次に、この発明の第 7 実施例について図 19 乃至図 21 を用いて説明する。図 19 はこの発明の第

7 実施例による起動回路と被起動回路との構成を示す回路図である。図 19 において、3h は起動回路、R 12 は電源電位点 1 に接続された一方端とノード 70 に接続された他方端とを有する抵抗、Q 63 は接地電位点 2 に接続されたソース、ノード 70 に接続されたドレイン及びバイアス供給回路 4 に接続されたゲートを有する NMOS トランジスタ、R 13 は電源電位点 1 に接続された一方端及びバイアス供給回路 4 の抵抗 R 3 の一方端に接続された他方端とを有する抵抗、71 はノード 70 に接続された入力端子及び入力端子の電位に応じた出力を出すための出力端子とを有するインバータ、Q 64 は抵抗 R 13 の他方端に接続されたソース、インバータ 71 の出力端子に接続されたゲート及びバイアス供給回路 4 の PMOS トランジスタ Q 3 のドレインに接続されたドレインを有する PMOS トランジスタである。

【0106】インバータ 71 は図 20 に示すように、スレッシュホールド電圧を高く設計されたものを用いる。同図中の 100 はスレッシュホールド電圧を ($V_{DD}/2$) に設定した標準的なインバータの入出力特性、101 はスレッシュホールド電圧を V_{DD} 近くの高い値に設定した図 19 に示したインバータ 71 の入出力特性である。なお、図 23 において、 V_{DD} はインバータの入力電圧、 V_{DD1} はインバータの出力電圧を示している。スレッシュホールド電圧は $3 \cdot V_{DD}/4$ と V_{DD} との間に設定することが好ましい。スレッシュホールド電圧を $3 \cdot V_{DD}/4$ と V_{DD} との間に設定することによって最適な設計値を得ることができることが多いためである。

【0107】次に図 19 に示した起動回路 3h の動作について説明する。電源投入直後、NMOS トランジスタ Q 63 には電流が流れていないため、ノード 70 の電位は電源電位点 1 の電位と導電位となり、 V_{DD} となる。ノード 70 の電位が V_{DD} となっているので、インバータ 71 の出力は GND 電位となる。このため PMOS トランジスタ Q 64 はオンし、NMOS トランジスタ Q 5 のゲート電位があがる。

【0108】NMOS トランジスタ Q 5 のゲート電位が上昇して NMOS トランジスタ Q 5 に電流が流れると、NMOS トランジスタ Q 5 とカレントミラー回路を構成している NMOS トランジスタ Q 6 もオンしてドレイン電流を流す。NMOS トランジスタ Q 6 に電流が流れることによって PMOS トランジスタ Q 4 のゲート電位が降下し、PMOS トランジスタ Q 4 がオンする。そして、PMOS トランジスタ Q 4 とカレントミラー回路を構成している PMOS トランジスタ Q 3 もオンして電流がながれ始める。また、NMOS トランジスタ Q 5 とカレントミラー回路を構成しているトランジスタ Q 7 にも電流がながれ、NMOS トランジスタ Q 7 を通して一定の電流が供給される。

【0109】一方、NMOS トランジスタ Q 5 に電流がながれ始めると、NMOS トランジスタ Q 5 とカレント

ミラー回路を構成しているNMOSトランジスタQ63のゲート電位が上昇し、NMOSトランジスタQ63のソース・ドレイン間の抵抗値が下降する。そして、抵抗R12の電圧降下が増大する。この電圧降下によって発生する電圧の値を V_{gs} とすると、 $V_{gs} - V_{th}$ の値がインバータ71のスレッシュホールド電圧を下回ったとき、インバータ71の出力は反転してPMOSトランジスタQ64はオフするため、起動回路3hはオフする。

【0110】また、瞬間的に V_{gs} が下がりバイアス供給回路4が作動しなくなった場合、NMOSトランジスタQ5に電流が流れなくなるとともにNMOSトランジスタQ63に電流が流れなくなるため、ノード70の電位が再び V_{gs} に上がり、インバータ71の出力がGND電位となり、バイアス供給回路4は再起動する。

【0111】以上のようにこの発明の第7実施例の起動回路3hによると以下の効果がある。

【0112】(1) PMOSトランジスタQ64のゲート電位は、インバータ71のスレッシュホールド電圧と密接な関係を持つため、スレッシュホールド電圧が高いほど、抵抗R12の抵抗値は小さな値ですむので、レイアウト面積を少なくすることができる。

【0113】(2) NMOSトランジスタQ63のドレイン電流が多いほど、つまりNMOSトランジスタQ63とNMOSトランジスタQ5のミラー比が大きいほど抵抗R12での電圧降下が大きくなり、抵抗R12の抵抗値は小さな値ですむため、レイアウト面積を少なくすることができる。

【0114】つまり、PMOSトランジスタQ64のゲート電位はインバータ71のスレッシュホールド電圧、抵抗R12の抵抗値、抵抗R12を流れる電流の3つのパラメータによってスイングさせることができるため上記3つのパラメータの組み合わせで最もレイアウト面積の小さいものを選ぶことにより小さなレイアウト面積を得ることができる。

【0115】図21は起動回路3hの構成を示すレイアウト図であり、レイアウト面積が小さくなったことを示すための図である。拡大の割合は図11と同じである。図において、10はゲート電極、11はソース電極、12はドレイン電極、13は拡散領域、14は各電極間、電極と拡散領域、あるいは拡散領域間の接続を行うための配線、15は配線14と各電極や拡散領域との接続を行うためのコンタクトホールである。Q65はインバータ71を構成するためのPMOSトランジスタ、Q66はインバータ71を構成するためのNMOSトランジスタである。また、図21において、図19と同一符号は図1と同一部分を示す。抵抗R12及びR13は、PMOSトランジスタを製造する段階で作られた拡散領域13を複数本直列に接続することによって所望の抵抗値を得ている。そして、インバータ71のしきい値電圧を電源電圧 V_{DD} に近づけるため、PMOSトランジスタQ65

とNMOSトランジスタQ66のトランジスタサイズを極端に異なったサイズとしている。図21に示すPMOSトランジスタQ65の W/L が1.5/2.0、NMOSトランジスタQ66の W/L が200/2.0に設定されている。

【0116】インバータ71のしきい値電圧が高いため、抵抗R12の抵抗値を小さくでき、図11に示した従来の抵抗R1の占有面積に比べて、PMOSトランジスタQ65とNMOSトランジスタQ66の占有面積の和の方が小さいため起動回路3hはその占有面積を小さくできる。ただし、インバータ71のしきい値を際限なく電源電圧 V_{DD} に近づければ良いというようなものではなく、PMOSトランジスタQ65とNMOSトランジスタQ66と抵抗R12の設計条件を満たすようにするために、占有面積が最も小さくなる最適なサイズが存在する。

【0117】また図12における抵抗R11は、この抵抗R11による電圧降下を利用して同図中のNMOSトランジスタQ61をオン・オフさせるためのものであったが、図19における抵抗R13は、電源投入時からPMOSトランジスタQ64がオフするまでの貫通電流を少なくするためのものであり、貫通電流を気にする必要のない場合は取り除くこともできるため、これによっても小さなレイアウト面積を得ることができる。この様子を図24に示す。図24に示した起動回路3mと図19の起動回路3hとの違いは抵抗R13の存在の有無だけである。

【0118】次に、この発明の第8実施例について図22及び図23を用いて説明する。図22はこの発明の第8実施例による起動回路と被起動回路との構成を示す回路図である。図22において、3kは起動回路、R14は接地電位点2に接続された一方端とノード75に接続された他方端とを有する抵抗、Q67は電源電位点1に接続されたソース、ノード75に接続されたドレイン及びバイアス供給回路4aのNMOSトランジスタQ19のドレインに接続されたゲートを有するPMOSトランジスタ、R15は接地電位点2に接続された一方端及びバイアス供給回路4aの抵抗R6の一方端に接続された他方端とを有する抵抗、76はノード75に接続された入力端子及び入力端子の電位に応じた出力を出すための出力端子とを有するインバータ、Q68は抵抗R15の他方端に接続されたソース、インバータ76の出力端子に接続されたゲート及びバイアス供給回路4aのNMOSトランジスタQ19のドレインに接続されたドレインを有するNMOSトランジスタである。

【0119】インバータ76は図23に示すように、スレッシュホールド電圧を低く設計されたものを用いる。なお、図23において、 V_{in} はインバータの入力電圧、 V_{out} はインバータの出力電圧を示している。スレッシュホールド電圧は $V_{DD}/4$ と0との間に設定することが

好ましい。スレッシュホールド電圧を $V_{DD}/4$ と 0 との間に設定することによって最適な設計値を得ることができる場合が多いためである。

【0120】同図中の100はスレッシュホールド電圧を $(V_{DD}/2)$ に設定した標準的なインバータの入出力特性、102はスレッシュホールド電圧をGND電位付近の低い値に設定した本発明で用いるインバータの入出力特性である。

【0121】第8実施例による起動回路3kについても

$$V_{in} = \frac{V_{DD} + V_{thp} + V_{thn} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

V_{in} : インバータの入力電圧

V_{DD} : 電源電圧

V_{thp} : Pチャネルトランジスタのしきい値電圧

V_{thn} : Nチャネルトランジスタのしきい値電圧

β_n : Nチャネルトランジスタのトランジスタ利得係数

β_p : Pチャネルトランジスタトランジスタ利得係数

【0124】一般に、Nチャネルトランジスタにおけるトランジスタ利得係数 β は、Pチャネルトランジスタにおけるトランジスタ利得係数 β の約2倍あり、スレッシュホールド電圧を $(V_{DD}/2)$ に設定するには、PチャネルトランジスタのサイズをNチャネルトランジスタのサイズの2倍に設定する必要がある。

【0125】(2) インバータ71の出力はNMOSTランジスタに入力されているため、PMOSTランジスタに比べて小さいサイズでよい。

【0126】なお、図19における抵抗R13と同様に、図22における抵抗R15を省くことができる。つまり、電源投入時からNMOSTランジスタQ68がオフするまでの貫通電流を少なくするためのものであり、貫通電流を気にする必要のない場合は取り除くこともできるため、これによっても小さなレイアウト面積を得ることができる。この様子を図25に示す。図25に示した起動回路3nと図19の起動回路3hとの違いは抵抗R13の存在の有無だけである。

【0127】なお、上記各実施例において、起動回路及び被起動回路を構成するトランジスタとしてMOSTランジスタを用いた例を説明したが、起動回路及び被起動回路を構成するトランジスタは他の絶縁ゲート型トランジスタであっても良く、上記各実施例と同様の効果を奏する。

【0128】

【発明の効果】以上のように請求項1記載の発明の起動回路によれば、第1の電源電位あるいは第2の電源電位に接続されたゲート、第2の電源電位に接続されたドレインあるいはソースを有する少なくとも一つの第1の絶

上記第7実施例と同じ理由でレイアウト面積を小さくできるが、次の理由によりさらに面積を小さくすることができる。

【0122】(1) インバータ71のスレッシュホールド電圧を低く設定しているため、インバータ中のPMOSTランジスタの面積を小さくすることができる。一般的なしきい値電圧を設定するための式を数2に示す。

【0123】

【数2】

縁ゲート型トランジスタを備えて構成され、第1の絶縁ゲート型トランジスタとダイオード手段と電圧降下手段とスイッチング手段とが第1導電型及び第2導電型の絶縁ゲート型トランジスタの製造工程によって製造可能であるので、製造が容易で、パターンレイアウト面積の小さな起動回路を得ることができるという効果がある。

【0129】請求項2記載の発明の起動回路によれば、第1の電源電位あるいは第2の電源電位に接続されたゲート、第2の電源電位に接続されたドレインあるいはソースを有する少なくとも一つの絶縁ゲート型トランジスタを備えて構成され、ダイオード手段とインバータと電圧降下手段とスイッチング手段とが絶縁ゲート型トランジスタの製造工程によって製造可能であるので、製造が容易で、パターンレイアウト面積の小さな起動回路を得ることができるという効果がある。

【0130】請求項3記載の発明の起動回路によれば、ダイオード手段は、第1あるいは第2の電源電位に接続されたソース、並びにスイッチング手段の制御電極に接続されたゲート及びドレインを有する第2の絶縁ゲート型トランジスタで構成されており、第1導電型及び第2導電型の絶縁ゲート型トランジスタの製造工程によって容易に製造可能なため、パターンレイアウト面積の小さな起動回路を容易に得ることができるという効果がある。

【0131】請求項4記載の発明の起動回路によれば、電圧降下手段は、第1あるいは第2の電源電位に接続された一方端、及び被起動回路に接続された他方端を有し、一方端と他方端との間に所定の抵抗値を持つ拡散抵抗で構成されているので、第1導電型及び第2導電型の絶縁ゲート型トランジスタの製造工程によって容易に製

造可能なため、パターンレイアウト面積の小さな起動回路を容易に得ることができるという効果がある。

【0132】請求項5及び請求項6記載の発明の起動回路によれば、第1の電源電位あるいは第2の電源電位に共通に接続されているゲート、ソース及びドレインを有し、第1の電源電位と第2の電源電位との間に直列に接続された複数の第1の絶縁ゲート型トランジスタを備えて構成されているので、パターンレイアウト面積が非常に小さな起動回路を得ることができるという効果がある。

【0133】請求項7及び請求項8記載の発明の起動回路によれば、電圧降下手段の他方端に接続された一方端、第2の電源電位に接続された他方端、及び被起動回路に接続された制御端子を有し、被起動回路が非起動状態のときに一方端と他方端との間の抵抗値が比較的高い状態となり、被起動回路が起動状態となったときに抵抗値が比較的低い状態となる第1のスイッチ手段と、電圧降下手段の他方端に接続された入力端子、及び出力端子を有し、入力端子の電位が所定のしきい値電圧より第1の電位に近いときは出力端子から第2の電位を出力し、入力端子の電位が所定のしきい値電圧より第2の電位に近いときは出力端子から第1の電位を出力するインバータとを備えて構成されているので、電圧降下手段の抵抗値を小さくすることができ、起動回路の占有面積を小さくすることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の第1実施例による起動回路の構成を説明するための回路図である。

【図2】図1に示した起動回路の構成を示すレイアウト図である。

【図3】この発明の第2実施例による起動回路の構成を説明するための回路図である。

【図4】この発明の第3実施例による起動回路の構成を説明するための回路図である。

【図5】この発明の第4実施例による起動回路の構成を説明するための回路図である。

【図6】この発明の第5実施例による起動回路の構成を説明するための回路図である。

【図7】この発明の第6実施例による起動回路の構成を説明するための回路図である。

【図8】この発明の第4実施例による起動回路に用いる

インバータの構成を示す回路図である。

【図9】この発明の第5実施例による起動回路に用いるインバータの構成を示す回路図である。

【図10】従来の起動回路の構成を説明するための回路図である。

【図11】図10に示した起動回路の構成を示すレイアウト図である。

【図12】従来の起動回路の構成を説明するための回路図である。

10 【図13】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

【図14】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

【図15】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

【図16】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

【図17】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

20 【図18】この発明の第1実施例による起動回路の製造行程を説明するための断面図である。

【図19】この発明の第7実施例による起動回路の構成を説明するための回路図である。

【図20】この発明の第7実施例による起動回路に用いるインバータの構成を説明するためのグラフである。

【図21】図20に示した起動回路の構成を示すレイアウト図である。

【図22】この発明の第8実施例による起動回路の構成を説明するための回路図である。

30 【図23】この発明の第8実施例による起動回路に用いるインバータの構成を説明するためのグラフである。

【図24】この発明の第7実施例による起動回路の他の態様を示す回路図である。

【図25】この発明の第8実施例による起動回路の他の態様を示す回路図である。

【符号の説明】

3, 3a～3n 起動回路

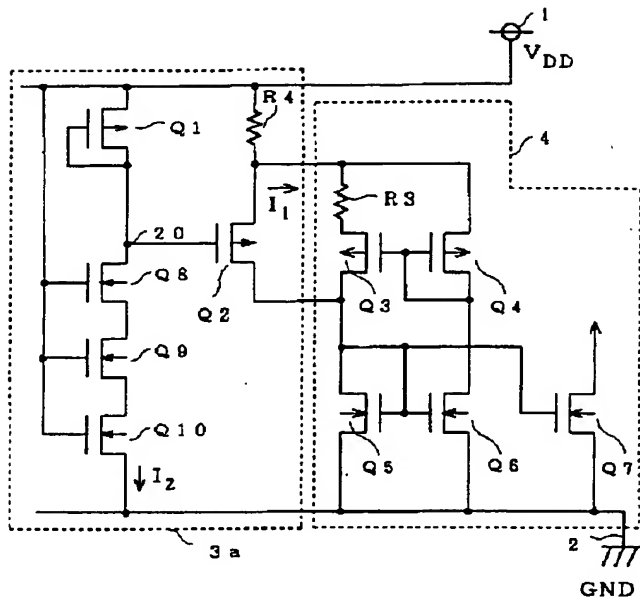
4, 4a バイアス供給回路

41, 46, 71, 76 インバータ

40 R1～R15 抵抗

Q1～Q68 MOSトランジスタ

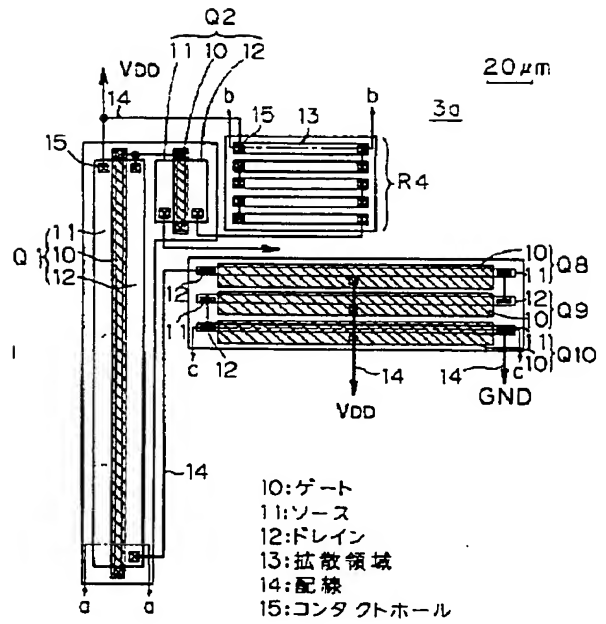
【図 1】



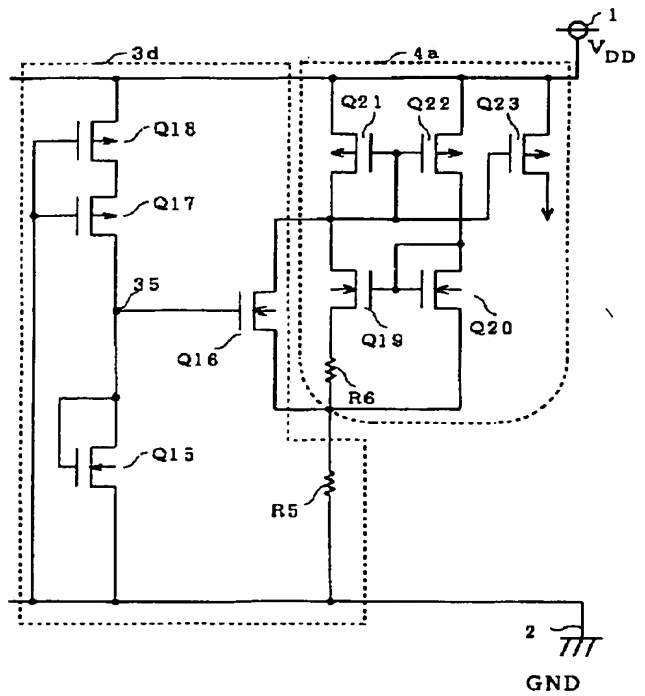
3a : 起動回路

4 : バイアス供給回路

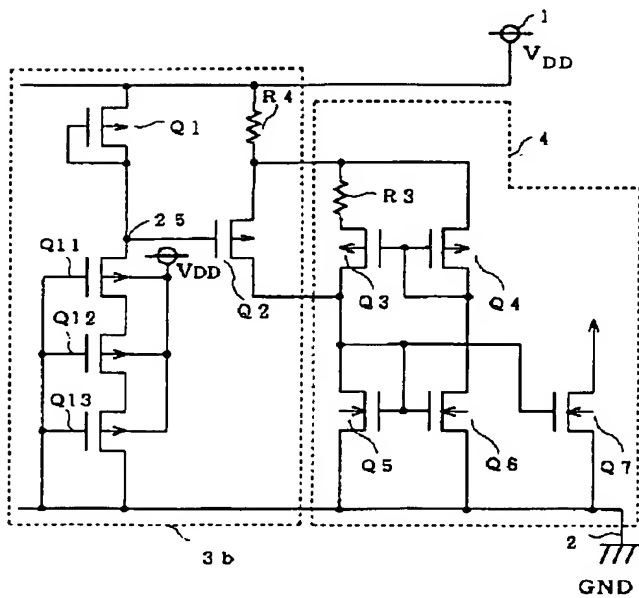
【図 2】



【図 4】



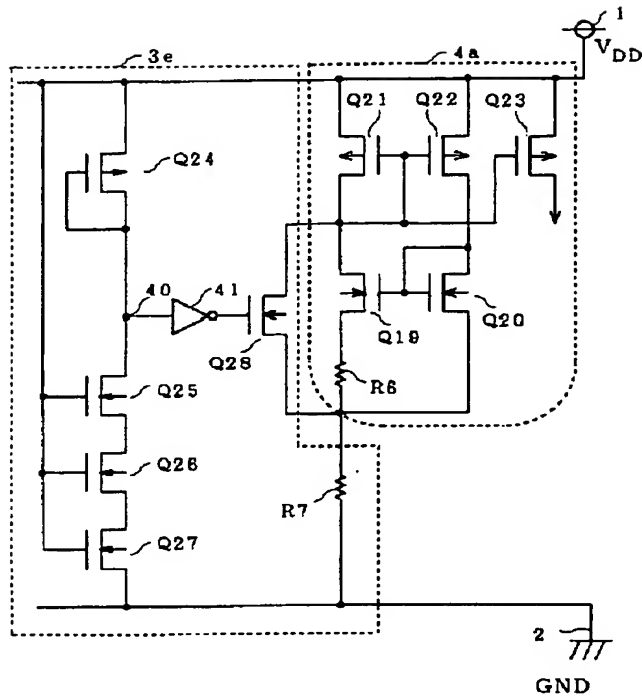
【図 3】



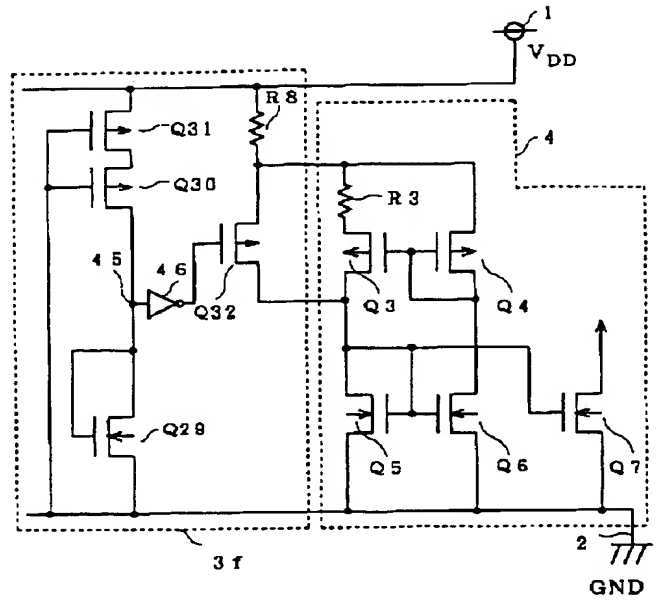
3b : 起動回路

4 : バイアス供給回路

【図 5】

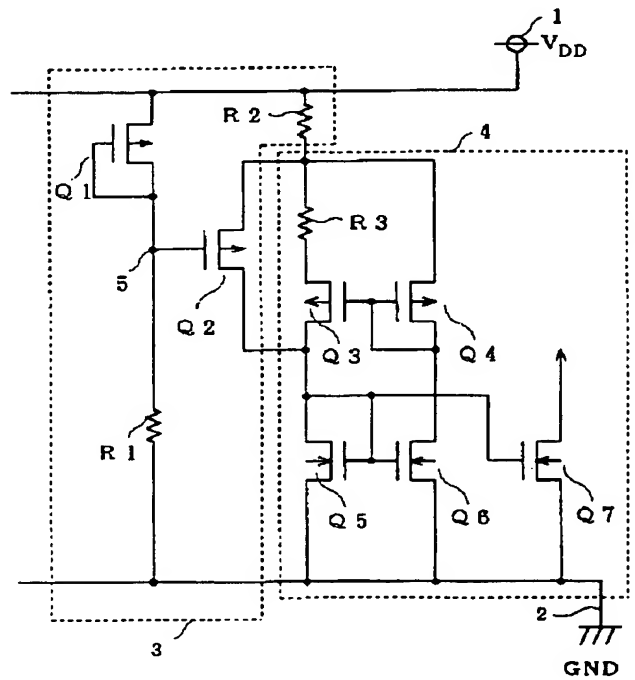
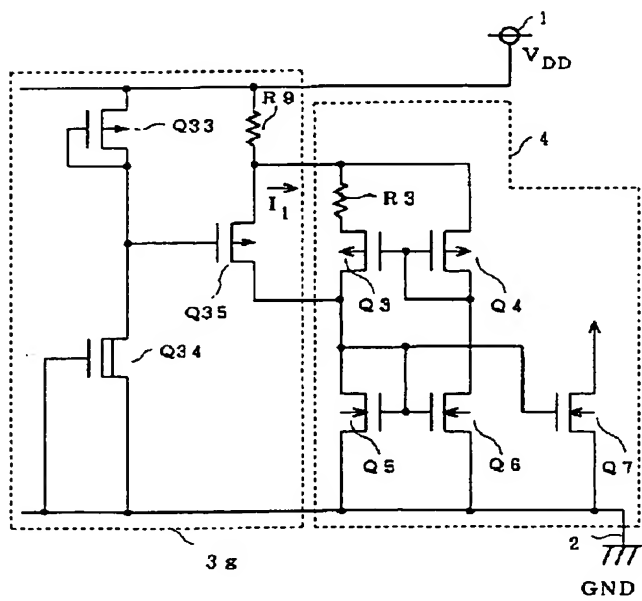


【図 6】

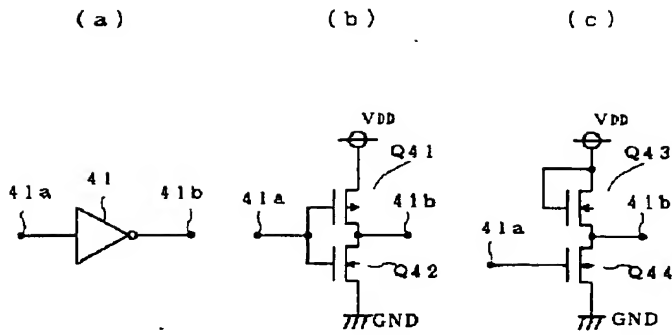


【図 10】

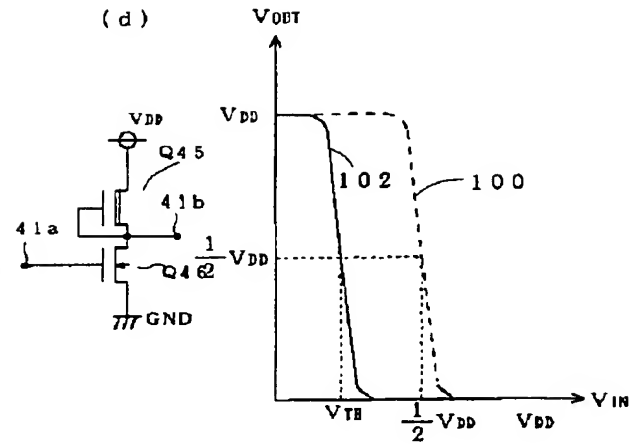
【図 7】



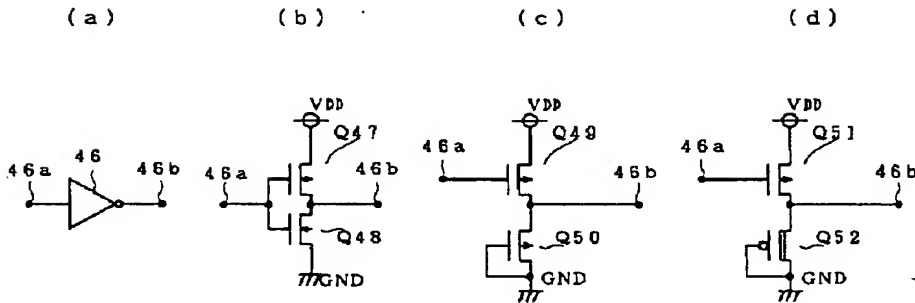
【図 8】



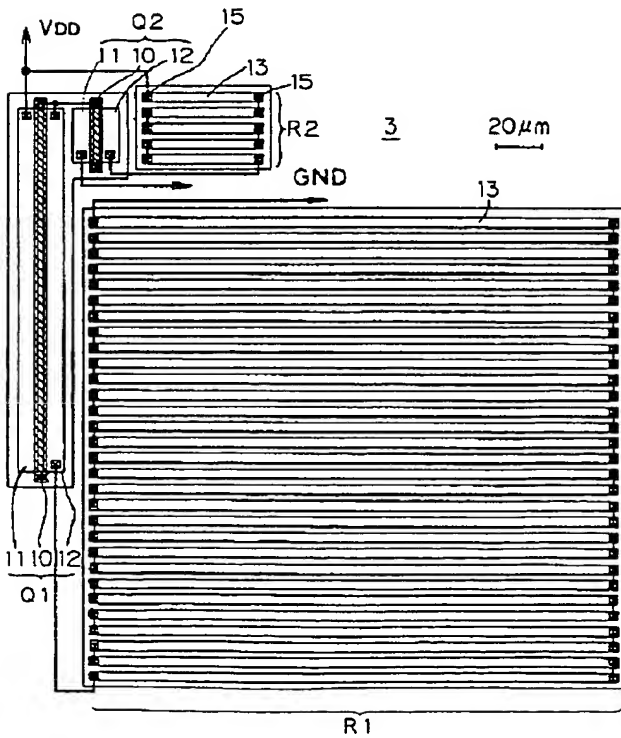
【図 23】



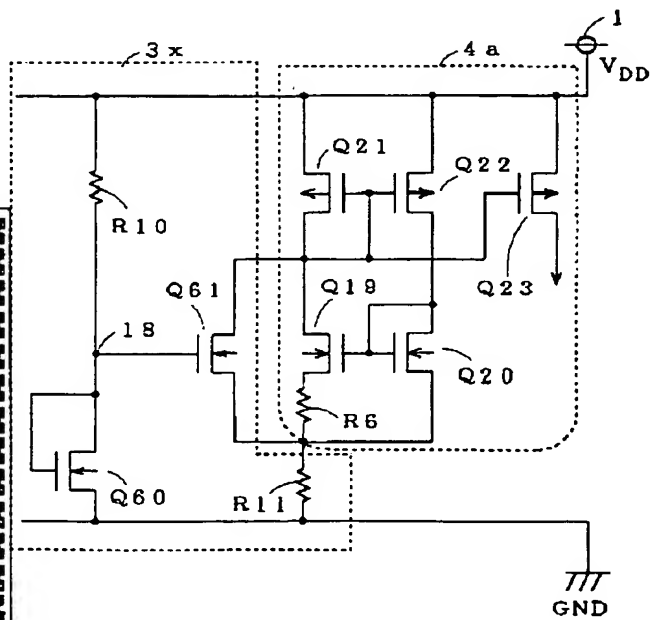
【図 9】



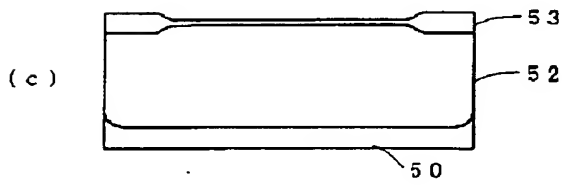
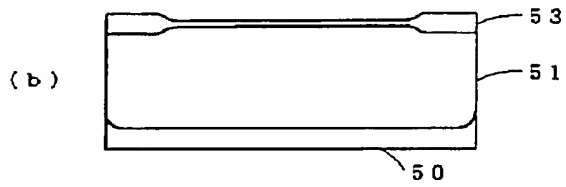
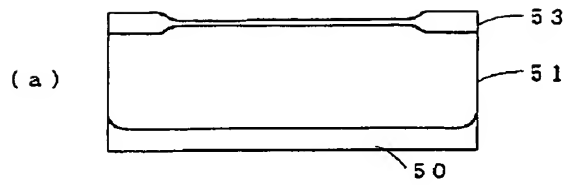
【図 11】



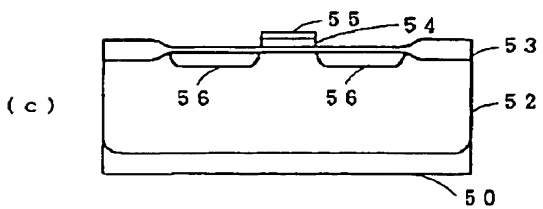
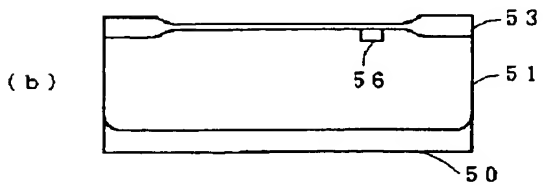
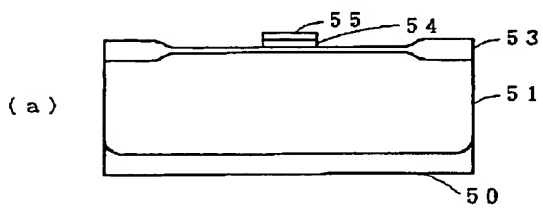
【図 12】



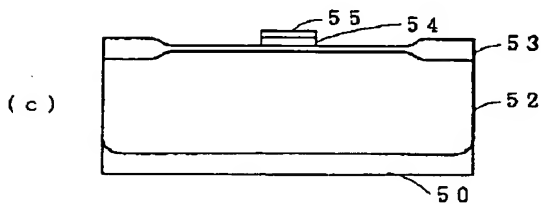
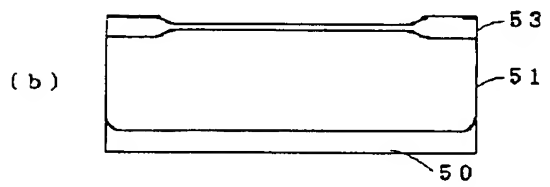
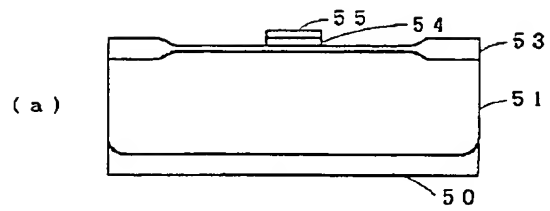
【図 13】



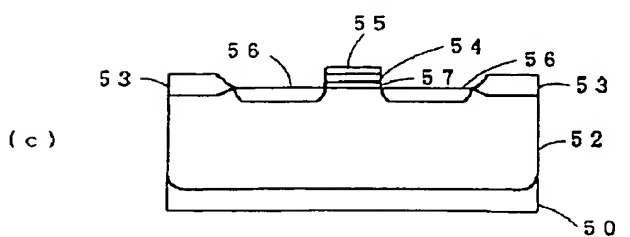
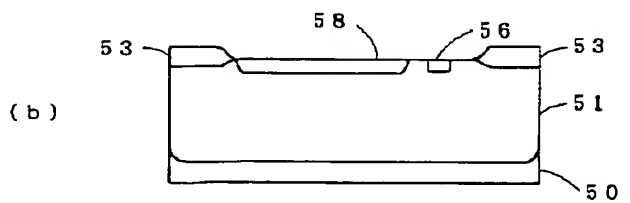
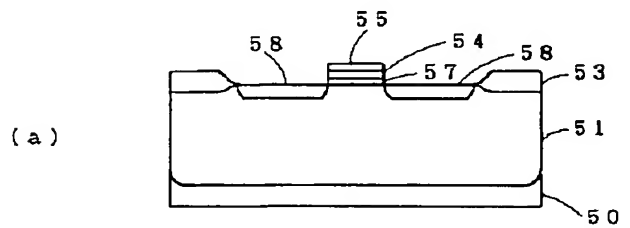
【図 15】



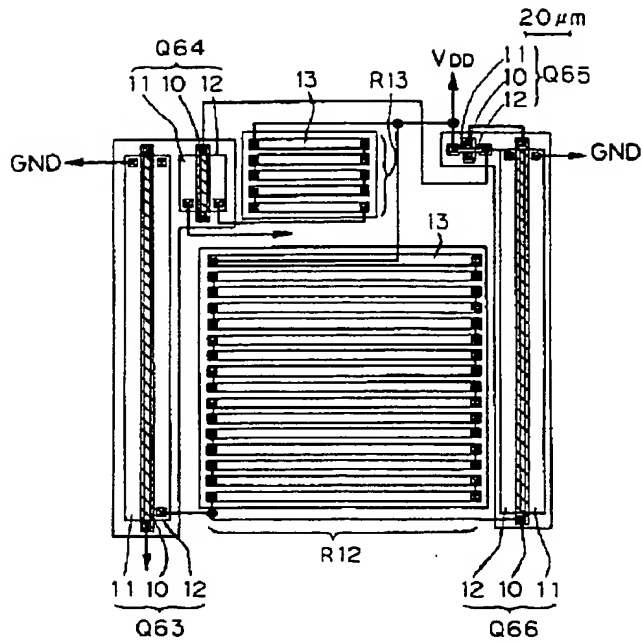
【図 14】



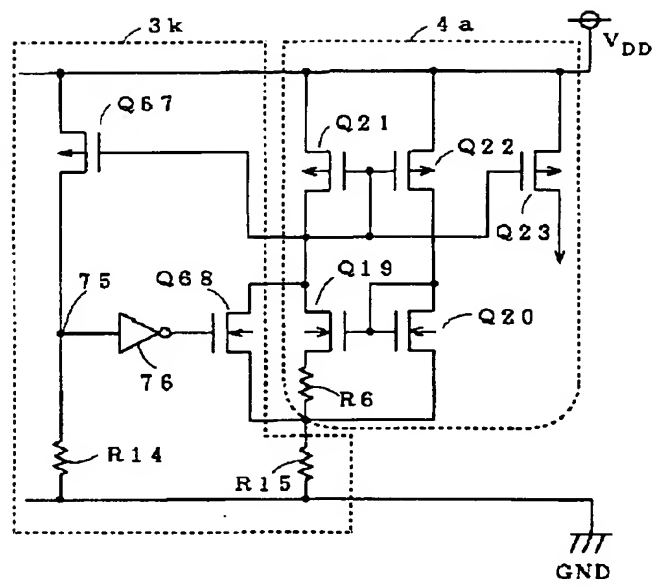
【図 16】



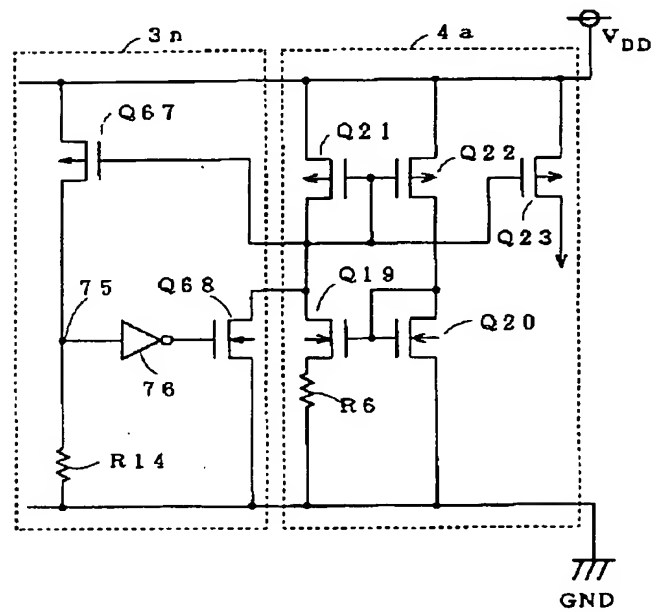
【図 21】



【図 22】



【図 25】



【図 24】

